

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-368194

(43)Date of publication of application : 20.12.2002

(51)Int.Cl.

H01L 27/095

H01L 21/06

H01L 21/822

H01L 21/8232

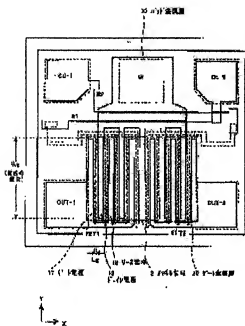
H01L 27/04

H03K 17/00

(21)Application number : 2001-173498 (71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 08.06.2001 (72)Inventor : ASANO TETSUO
HIRAI TOSHIKAZU
SAKAKIBARA MIKITO

(54) COMPOUND SEMICONDUCTOR SWITCHING CIRCUIT DEVICE



(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem, in a mirror-like logic, in which a control terminal 1 is connected to a gate electrode of an FET 2 and a control terminal 2 is connected to a gate electrode of a gate electrode 1, a resistor having to be connected in an X-shape, the resistor is arranged the periphery of a chip, and resulting in a large chip size.

SOLUTION: Two parallel resistors are arranged between a common input terminal and an FET. Further, the resistor is formed of an n+ type impurity region, and some FETs are arranged between a control terminal and an output

terminal, thereby realizing a mirror switch circuit, having the same chip size as that of a normal pattern.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-368194

(P2002-368194A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int.Cl. ⁷	識別記号	F I	テラコート [®] (参考)
H 0 1 L	27/095	H 0 3 K 17/00	E 5 F 0 3 8
	21/06	H 0 1 L 29/80	E 5 F 1 0 2
	21/822	27/04	A 5 J 0 5 5
	21/8232	27/06	F
	27/04		

審査請求 未請求 請求項の数10 ○L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2001-173498(P2001-173498)

(22) 出願日 平成13年6月8日 (2001. 6. 8)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 浅野 哲郎

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 平井 利和

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

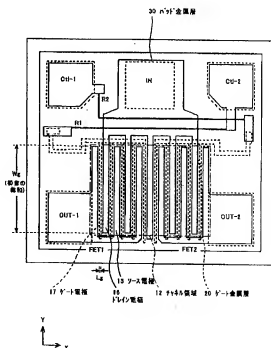
最終頁に続く

(54) 【発明の名称】 化合物半導体スイッチ回路装置

(57) 【要約】

【課題】制御端子1とFET2のゲート電極を接続し、制御端子2とゲート電極1のゲート電極を接続するミラー形状のロジックにおいては、抵抗をたすきがけのように接続する必要があり、チップ外周に配置するため、チップサイズが大きくなってしまいう問題があった。

【解決手段】共通入力端子とFETの間に平行な2本の抵抗を配置する。更に抵抗をn+型不純物拡散領域で形成し、FETの一部を制御端子と出力端子の間に配置することにより、通常パターンと同一チップサイズのまま、ミラースイッチ回路を実現できる。



1

【特許請求の範囲】

【請求項1】 チャネル層表面上ソース電極、ゲート電極およびドレイン電極を設けた第1および第2のFETを形成し、両FETのソース電極あるいはドレイン電極を共通入力端子とし、前記両FETのドレイン電極あるいはソース電極に接続された第1および第2の出力端子と、前記両FETのゲート電極に接続された第1および第2の制御端子とを有し、前記第1の出力端子、制御端子用パッドは前記第1のFETの周囲に配置され、前記第2の出力端子、制御端子用パッドは前記第2のFETの周囲に配置され、前記両FETのゲート電極に制御信号を印加していずれか一方のFETを導通させて前記共通入力端子と前記第1および第2の出力端子のいずれか一方と信号経路を形成する化合物半導体スイッチ回路装置において、

前記第1のFETのゲート電極と前記第2の制御端子とを接続する第1の抵抗と、前記第2のFETのゲート電極と前記第1の制御端子とを接続する第2の抵抗とを前記共通入力端子となるパッドと、前記両FETとの間に配置することを特徴とする化合物半導体スイッチ回路装置。

【請求項2】 前記第1および第2の抵抗は、基板に不純物を拡散して設けた高濃度領域であることを特徴とする請求項1に記載の化合物半導体スイッチ回路装置。

【請求項3】 前記高濃度領域は、ソース領域およびドレイン領域の拡散領域を用いることを特徴とする請求項1に記載の化合物半導体スイッチ回路装置。

【請求項4】 チャネル層表面上ソース電極、ゲート電極およびドレイン電極を設けた第1および第2のFETを形成し、両FETのソース電極あるいはドレイン電極を共通入力端子とし、前記両FETのドレイン電極あるいはソース電極に接続された第1および第2の出力端子と、前記両FETのゲート電極に接続された第1および第2の制御端子とを有し、前記第1の出力端子、制御端子用パッドは前記第1のFETの周囲に配置され、前記第2の出力端子、制御端子用パッドは前記第2のFETの周囲に配置され、前記両FETのゲート電極に制御信号を印加していずれか一方のFETを導通させて前記共通入力端子と前記第1および第2の出力端子のいずれか一方と信号経路を形成する化合物半導体スイッチ回路装置において、

前記第1のFETのゲート電極と前記第2の制御端子とを接続する第1の抵抗と、前記第2のFETのゲート電極と前記第1の制御端子とを接続する第2の抵抗とを前記共通入力端子となるパッドと、前記両FETとを前に平行に配置することを特徴とする化合物半導体スイッチ回路装置。

【請求項5】 前記第1の制御端子および第1の出力端子に対応するパッドの間に前記第1のFETの一部を配置し、前記第2の制御端子および第2の出力端子に対応

2

するパッドの間に前記第2のFETの一部を配置することを特徴とする請求項4に記載の化合物半導体スイッチ回路装置。

【請求項6】 前記第1および第2の抵抗は、基板に不純物を拡散して設けた高濃度領域であることを特徴とする請求項4に記載の化合物半導体スイッチ回路装置。

【請求項7】 前記各パッド周端部の下又はパッド全面の下と前記両FETの配線層周端部の下又は配線層全面の下には他の一導電型不純物を拡散した高濃度領域を設けることを特徴とする請求項4に記載の化合物半導体スイッチ回路装置。

【請求項8】 前記全ての高濃度領域が互いに隣接する離間距離は、所定のイオンレーションが確保できる限界値付近まで近接することを特徴とする請求項4に記載の化合物半導体スイッチ回路装置。

【請求項9】 前記全ての高濃度領域は、ソース領域およびドレイン領域の拡散領域を用いることを特徴とする請求項4に記載の化合物半導体スイッチ回路装置。

【請求項10】 前記第1および第2の抵抗は、前記両FETのソース電極およびドレイン電極から延在され前記共通入力端子に接続する電極と交差することを特徴とする請求項1または請求項4に記載の化合物半導体スイッチ回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、特に高周波スイッチング用途に用いられる化合物半導体スイッチ回路装置、特に2、4GHz帯以上に用いる化合物半導体スイッチ回路装置に関する。

【0002】

【従来の技術】 携帯電話等の移動体用通信機器では、GHz帯のマイクロ波を使用している場合が多く、アンテナの切替回路や送受信の切替回路などに、これらの高周波信号を切り替えるためのスイッチ素子が用いられることが多い（例えば、特開平9-181642号）。その素子としては、高周波を扱うことからガリウム・砒素（GaAs）を用いた電界効果トランジスタ（以下FETという）を使用する事が多く、これに伴って前記スイッチ回路自体を集積化したモノリシックマイクロ波集積回路（MMIC）の開発が進められている。

【0003】 図5(A)は、GaAs FETの断面図を示している。ノンドープのGaAs基板1の表面部分にN型不純物をドーピングしてN型のチャネル領域2を形成し、チャネル領域2表面にショットキー接触するゲート電極3を配置し、ゲート電極3の両脇にはGaAs表面にオーミック接触するソース・ドレイン電極4、5を配置したものである。このトランジスタは、ゲート電極3の電位によって直下のチャネル領域2内に空乏層を形成し、もってソース電極4とドレイン電極5との間のチャネル電流を制御するものである。

【0004】図5(B)は、GaAs FETを用いたSPDT(Single Pole Double Throw)と呼ばれる化合物半導体スイッチ回路装置の原理的な回路図を示している。

【0005】第1と第2のFET1、FET2のソース(又はドレイン)が共通入力端子INに接続され、各FET1、FET2のゲートが抵抗R1、R2を介して第1と第2の制御端子C1-1、C1-2に接続され、そして各FETのドレイン(又はソース)が第1と第2の出力端子OUT1、OUT2に接続されたものである。第1と第2の制御端子C1-1、C1-2に印加される信号は相補信号であり、Hレベルの信号が印加されたFETがONして、入力端子INに印加された信号をどちらか一方の出力端子に伝達するようになっている。抵抗R1、R2は、交流接地となる制御端子C1-1、C1-2の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【0006】かかる化合物半導体スイッチ回路装置の等価回路図を図8に示す。マイクロ波では特性インピーダンス50Ωを基準としており、各端子のインピーダンスは $R1=R2=R3=50\Omega$ 抵抗で表される。また、各端子の電位をV1、V2、V3とすると挿入損失(Insertion Loss)およびアイソレーション(Isolation)は以下の式で表される。

【0007】

Insertion Loss = $20 \log(V2/V1)$ [dB]

これは共通入力端子INから出力端子OUT1へ信号を伝達したときの挿入損失であり、

Isolation = $20 \log(V3/V1)$ [dB]

これは共通入力端子INから出力端子OUT2との間のアイソレーション(Isolation)である。化合物半導体スイッチ回路装置では上記した挿入損失(Insertion Loss)をできるだけ小さくし、アイソレーション(Isolation)を向上することが要求され、信号経路に直列に挿入されるFETの設計が大切である。このFETとしてGaAs FETを用いる理由はGaAsの方がSiより電子移動度が高いことから抵抗が小さく低損失化が図れ、GaAsは半導体基板であることから信号経路間の高アイソレーション化に適しているためである。その反面、GaAs基板はSiに比べて高価であり、PINダイオードのように等価なのがSiで出来ればコスト競争で負けてしまう。

【0008】かかる化合物半導体スイッチ回路装置では、FETのチャネル領域2の抵抗Rが

$R = 1 / e n \mu S$ [Ω]

e: 電子電荷量 (1.6×10^{-19} C/cm³)

n: 電子キャリア濃度

μ: 電子移動度

S: チャネル領域の断面積 (cm²)

で表されるので、抵抗Rを出来るだけ小さくするためにチャネル幅を出来るだけ大きく設計して、チャネル領域の断面積を稼いで挿入損失(Insertion Loss)を小さくしていた。

【0009】このためにゲート電極3とチャネル領域2で形成されるショットキー接触に依る容量成分が大きくなり、ここから高周波の入力信号が漏れてアイソレーション(Isolation)を悪化させる。これを回避するためにシャントFETを設けて、アイソレーション(Isolation)の改善を図っていたが、チップサイズが大ききコスト高となるため、シリコンの安価なチップに置き換えが進み、市場を失う結果を招いていた。

【0010】そこで、シャントFETを省いてチップのシュリンクを実現したスイッチング回路が開発されている。

【0011】図7は、ゲート幅600μmの化合物半導体スイッチ回路装置を示す回路図である。第1のFET1と第2のFET2のソース電極(あるいはドレイン電極)が共通入力端子INに接続され、FET1およびFET2のゲート電極がそれぞれ抵抗R1、R2を介して第1と第2の制御端子C1-1、C1-2に接続され、そしてFET1およびFET2のドレイン電極(あるいはソース電極)が第1と第2の出力端子OUT1、OUT2に接続されたものである。第1と第2の制御端子C1-1、C1-2に印加される制御信号は相補信号であり、Hレベルの信号が印加された側のFETがONして、共通入力端子INに印加された入力信号をどちらか一方の出力端子に伝達するようになっている。抵抗R1、R2は、交流接地となる制御端子C1-1、C1-2の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【0012】図7に示す回路は、図5(B)に示すGaAs FETを用いたSPDT(Single Pole Double Throw)と呼ばれる化合物半導体スイッチ回路装置の原理的な回路とは同じ回路構成であり、FET1およびFET2のゲート電極のゲート幅Wgは600μmに設計されている。ゲート幅Wgを従来のものに比べて小さくすることはFETのオン抵抗を大きくすることを意味し、且つゲート電極の面積(Lg×Wg)が小さくなるとによりゲート電極とチャネル領域とのショットキー接合による寄生容量が小さくなることを意味し、回路動作の上では大きな差が出る。

【0013】図8は、この化合物半導体スイッチ回路装置を集積化した化合物半導体チップの1例を示している。

【0014】GaAs基板にスイッチを行うFET1およびFET2を中央部に配置し、各FETのゲート電極に抵抗R1、R2が接続されている。また共通入力端子IN、出力端子OUT1、OUT2、制御端子C1-1、C1-2に対応するパッドが基板の周辺に設けら

れている。なお、点線で示した第2層目の配線は各FETのゲート電極形成時に同時に形成されるゲート金属層(Ti/Pt/Au)20であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うパッド金属層(Ti/Pt/Au)30である。第1層目の基板にオーミックに接触するオーミック金属層(AuGe/Ni/Au)10は各FETのソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、図8では、パッド金属層と重なるために図示されていない。

【0015】図8から明白なように、構成部品はFET1、FET2、抵抗R1、R2、共通入力端子IN、出力端子OUT1、OUT2、制御端子Ctl-1、Ctl-2に対応するパッドのみであり、シャントを採用した化合物半導体スイッチ回路装置に比べ、最小構成部品で構成されている。

【0016】またこの半導体装置の特徴的な点は、FET1(FET2も同じ)をゲート幅が600μmで形成されるので、チップサイズが小さくできる。すなわち、図8に示したFET1は一点鎖線で囲まれる長方形のチャネル領域12に形成される。下側から伸びる歯状の3本の第3層目のパッド金属層30が出力端子OUT1に接続されるソース電極13(あるいはドレイン電極)であり、この下に第1層目オーミック金属層10で形成されるソース電極14(あるいはドレイン電極)がある。また上側から伸びる歯状の3本の第3層目のパッド金属層30が共通入力端子INに接続されるドレイン電極15(あるいはソース電極)であり、この下に第1層目のオーミック金属層10で形成されるドレイン電極14(あるいはソース電極)がある。この両電極は歯状をかみ合わせた形状に配置され、その間に第2層目のゲート金属層20で形成されるゲート電極17がチャネル領域12上に4本の歯形状に配置されている。なお、上側から伸びる真中の歯状のドレイン電極13(あるいはソース電極)はFET1とFET2とで共用しており、更に小型化に寄与している。ここで、ゲート幅が600μmという意味は各FETの歯状のゲート電極17のゲート幅の総和がそれぞれ600μmであることを言っている。

【0017】この結果、上記の化合物半導体チップのサイズは0.37×0.30mmに納めることができた。これはシャントFETを用いる場合の化合物半導体チップサイズに比べて1/5に縮小できることを意味する。

【0018】図9(A)に図8に示したFET1の部分を拡大した平面図を示す。この図で、一点鎖線で囲まれる長方形の領域が基板11に形成されるチャネル領域12である。左側から伸びる歯状の4本の第3層目のパッド金属層30が出力端子OUT1に接続されるソース電極13(あるいはドレイン電極)であり、この下に第1層目オーミック金属層10で形成されるソース電極

14(あるいはドレイン電極)がある。また右側から伸びる歯状の4本の第3層目のパッド金属層30が共通入力端子INに接続されるドレイン電極15(あるいはソース電極)であり、この下に第1層目のオーミック金属層10で形成されるドレイン電極16(あるいはソース電極)がある。この両電極は歯状をかみ合わせた形状に配置され、その間に第2層目のゲート金属層20で形成されるゲート電極17がチャネル領域12上に歯形状に配置されている。

10 【0019】図9(B)にこのFETの一部の断面図を示す。基板11にはn型のチャネル領域12とその両側にソース領域18およびドレイン領域19を形成するn+型の不純物拡散領域が設けられ、チャネル領域12にはゲート電極17が設けられ、不純物拡散領域には第1層目のオーミック金属層10で形成されるドレイン電極14およびソース電極16が設けられる。更にこの上に前述したように3層目のパッド金属層30で形成されるドレイン電極13およびソース電極15が設けられ、各素子の配線等を行っている。

20 【0020】このスイッチング回路に関しては、2.4GHz以上の高周波数帯では、挿入損失(Insertion Loss)の悪化は僅かであり、アイソレーション(Isolation)は、FETの寄生容量に依存して改善されることがわかっており、アイソレーションを優先して設計することにより、600μmのゲート幅Wgであれば18dB以上のアイソレーション(Isolation)を確保しているものである。

30 【0021】図8に実際のパターンを示した化合物半導体スイッチ回路装置では、FET1およびFET2のゲート長Lgを0.5μm、ゲート幅Wgを600μmに設計し、挿入損失(Insertion Loss)を0.65dB、アイソレーション(Isolation)を18dBを確保している。この特性はBluetooth(携帯電話、ノートPC、携帯情報端末、デジタルカメラ、その他周辺機器をワイヤレスで相互接続し、モバイル環境、ビジネス環境を向上させる通信仕様)を含む2.4GHz帯ISMバンド(Industrial Scientific and Medical frequency band)を使用したスペクトラム拡散通信の応用分野でのRFスイッチとして活用されるものである。

40 【0022】現在ではシリコン半導体チップの性能の向上も目覚ましく、高周波帯での利用の可能性が高まりつつある。従来ではシリコンチップは高周波帯での利用は難しく、高価な化合物半導体チップが利用されていたが、シリコン半導体の利用の可能性が高まれば、当然ウエハ価格の高い化合物半導体チップは価格競争で負けてしまう。このためにチップサイズをシュリンクしてコストを抑える必然性があり、チップサイズの低減は不可避である。

【0023】

50 【発明が解決しようとする課題】このようにシャントF

FETを省き、且つゲート幅を600 μ mにすることで、チップサイズを大幅に低減することが可能となった。図8に示すスイッチ回路のロジックでは、出力端子OUT1に信号を通すときには出力端子OUT1に近い制御端子C1-1に例えば3Vを、制御端子C1-2に0Vを印加し、逆に出力端子OUT2に信号を通すときには出力端子OUT2に近い制御端子C1-2に3V、C1-1に0Vのバイアス信号を印加している。

【0024】しかし、ユーザの要望によっては、その逆のロジックを組む必要もある。つまり出力端子OUT1に信号を通すときには出力端子OUT1から遠い制御端子C1-2に例えば3V、制御端子C1-1に0Vを印加し、逆に出力端子OUT2に信号を通すときには出力端子OUT2から遠い制御端子C1-1に3V、C1-2に0Vのバイアス信号を印加するようなロジックであり、(これを以下ミラータイプスイッチ回路と称す。)この場合には、チップ上で面積が増えてしまうことになる。

【0025】図10は、図8に示す化合物半導体スイッチ回路装置のミラータイプのスイッチ回路を集積化した化合物半導体チップの1例を示している。

【0026】GaAs基板にスイッチを行うFET1およびFET2を中央部に配置し、各FETのゲート電極に抵抗R1、R2が接続されている。また共通入力端子IN、出力端子OUT1、OUT2、制御端子C1-1、C1-2に対応するパッドが基板の周辺で、FET1およびFET2の周囲に設けられている。なお、点線で示した第2層目の配線は各FETのゲート電極形成時に同時に形成されるゲート金属層(Ti/Pt/Au)20であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うバッド金属層(Ti/Pt/Au)30である。第1層目の基板にオーミックに接触するオーミック金属層(AuGe/Ni/Au)10は各FETのソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、図10では、パッド金属層と重なるために図示されていない。

【0027】FET1のゲート電極と制御端子C1-2とは抵抗R1で接続され、FET2のゲート電極と制御端子C1-1とは抵抗R2で接続されるミラータイプとなっており、この接続のために抵抗R1および抵抗R2はチップの外周に沿って配置される。

【0028】チップの内部には共通入力端子IN、制御端子C1-1およびC1-2、または出力端子OUT1およびOUT2に対応するパッドが配置されている。図8に示すスイッチ回路のバターンレイアウトからミラータイプのロジックの回路にレイアウト変更しようとする、チップ内部には余裕がないため、チップ外周に沿って抵抗を配置することになる。しかし、この配置に依ると、チップのX方向(左右)にそれぞれ25 μ m、Y方向に50 μ m拡大することになり、その分チ

ップサイズが増大してしまうことになる。

【0029】しかし、前述のとおり、シリコンチップとの価格競争に勝つためには、化合物半導体チップのチップサイズをシュリンクしてコストを抑える必然性があり、チップサイズの低減は不可避であった。

【0030】

【課題を解決するための手段】本発明は上述した諸々の事情に鑑み成されたもので、チャネル層表面上ソース電極、ゲート電極およびドレイン電極を設けた第1および第2のFETを形成し、両FETのソース電極あるいはドレイン電極を共通入力端子とし、前記両FETのドレイン電極あるいはソース電極に接続された第1および第2の出力端子と、前記両FETのゲート電極に接続された第1および第2の制御端子とを有し、前記第1の出力端子、制御端子用パッドは前記第1のFETの周囲に配置され、前記第2の出力端子、制御端子用パッドは前記第2のFETの周囲に配置され、前記両FETのゲート電極に制御信号を印加していずれか一方のFETを導通させて前記共通入力端子と前記第1および第2の出力端子のいずれか一方と信号経路を形成する化合物半導体スイッチ回路装置において、前記第1のFETのゲート電極と前記第2の制御端子とを接続する第1の抵抗と、前記第2のFETのゲート電極と前記第1の制御端子とを接続する第2の抵抗とを前記共通入力端子と異なるパッドと、前記両FETとの間に配置することを特徴とするもので、2つのFETに接続する2本の抵抗を共通入力端子と両FETの間に配置することにより、チップサイズが著しく増加することを抑えた逆のロジックのスイッチ回路装置を実現することができる。

【0031】

【発明の実施の形態】以下に本発明の実施の形態について図1から図4を参照して説明する。

【0032】図1は、本発明の化合物半導体スイッチ回路装置を示す回路図である。第1のFET1と第2のFET2のソース電極(あるいはドレイン電極)が共通入力端子INに接続され、FET1およびFET2のゲート電極がそれぞれ抵抗R1、R2を介して第2と第1の制御端子C1-2、C1-1に接続され、そしてFET1およびFET2のドレイン電極(あるいはソース電極)が第1と第2の出力端子OUT1、OUT2に接続されたものである。第1と第2の制御端子C1-1、C1-2に印加される制御信号は相補信号であり、Hレベルの信号が印加された側のFETがONして、共通入力端子INに印加された入力信号をどちらか一方の出力端子に伝達するようになっている。抵抗R1、R2は、交流接地となる制御端子C1-1、C1-2の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【0033】図1に示す回路は、図5(B)に示すGaAs FETを用いたSPDPT(Single Pole Double Th

row)と呼ばれる化合物半導体スイッチ回路装置のミラータイプのロジックパターン⁹の回路構成であり、制御端子Ct1-1は、FET2のゲート電極に接続し、制御端子Ct1-2はFET1のゲート電極に接続する。

【0034】このスイッチ回路のロジックでは、出力端子OUT1に信号を通ずるときは出力端子OUT1から速い制御端子Ct1-2に例えば3V、制御端子Ct1-1に0Vを印加し、逆に出力端子OUT2に信号を通ずるときは出力端子OUT2から速い制御端子Ct1-1に3V、Ct1-2に0Vのバイアス信号を印加して

いる。

【0035】図2は、本発明の第1の実施の形態である、ミラータイプの化合物半導体スイッチ回路装置を集積化した化合物半導体チップの1例を示している。

【0036】GaAs基板にスイッチを行うFET1およびFET2を中央部に配置し、各FETのゲート電極に抵抗R1、R2が接続されている。また共通入力端子IN、出力端子OUT1、OUT2、制御端子Ct1-1、Ct1-2に対応するパッドが基板の周辺でFET1およびFET2の周囲にそれぞれ設けられている。なお、点線で示した第2層目の配線は各FETのゲート電極形成時に形成されるゲート金属層(Ti/Pt/Au)20であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うパッド金属層(Ti/Pt/Au)30である。第1層目の基板にオーミックに接触するオーミック金属層(AuGe/Ni/Au)10は各FETのソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、図2では、パッド金属層と重なるために図示されていない。

【0037】FET1のゲート電極と制御端子Ct1-2は抵抗R1で接続され、FET2のゲート電極と制御端子Ct1-1は抵抗R2で接続されたミラータイプとなっている。抵抗R1および抵抗R2は、両FETから延在し共通入力端子に接続する電極と窒化膜を介して交差して設けられたn+型不純物拡散領域である。

【0038】図2から明白なように、構成部品はFET1、FET2、抵抗R1、R2、共通入力端子IN、出力端子OUT1、OUT2、制御端子Ct1-1、Ct1-2に対応するパッドのみであり、最小構成部品で構成されている。ここに示したFET1(FET2も同様)は一点鎖線で囲まれる長方形のチャネル領域12に形成される。下側から伸びる櫛歯状の3本の第3層目のパッド金属層30が出力端子OUT1に接続されるソース電極13(あるいはドレイン電極)であり、この下に第1層目オーミック金属層10で形成されるソース電極14(あるいはドレイン電極)がある。また上側から伸びる櫛歯状の3本の第3層目のパッド金属層30が共通入力端子INに接続されるドレイン電極15(あるいはソース電極)であり、この下に第1層目のオーミック金属層10で形成されるドレイン電極14(あるいはソ

ース電極)がある。この両電極は櫛歯をかみ合わせた形状に配置され、その間に第2層目のゲート金属層20で形成されるゲート電極17がチャネル領域12上に4本の櫛歯形状に配置されている。なお、上側から伸びる真中の櫛歯のドレイン電極13(あるいはソース電極)はFET1とFET2とで共用している。

【0039】また、ミラータイプのスイッチ回路とするために延在される抵抗R1およびR2をチップの内部に配置することにより、外周に沿って配置した場合と比較して、X方向のチップの拡大を抑えることができ、チップサイズの増加をY方向のみに抑えることができる。

【0040】図3には、本発明の第2の実施の形態である、ミラータイプのスイッチ回路装置を集積化した化合物半導体スイッチ回路装置の一例を示す。

【0041】この第2の実施の形態は、抵抗R1およびR2を、共通入力端子INと両FETとの間に平行に配置するが、両FET1、2をY方向に縮め、ゲート幅を確保するために制御端子Ct1-1、Ct1-2および出力端子OUT1、OUT2に対応するパッドの間に設けることにより、両抵抗が配置される領域を確保するものである。

【0042】各構成要素の説明については、図2と同様であるので省略するが、大きく異なる点は、各FETのパターンを変更して、制御端子および出力端子パッドの間にFETのソース、ドレインおよびゲート電極の一部を配置したことにある。これにより、図2に示すFETと同一ゲート幅で、Y方向に縮小し、X方向に広がったFETとなるため、共通入力端子INおよび両FETの間にスペースが確保できる。

【0043】FET1のゲート電極と制御端子Ct1-2は抵抗R1で接続され、FET2のゲート電極と制御端子Ct1-1は抵抗R2で接続される。抵抗R1および抵抗R2は、両FETから延在し共通入力端子に接続する電極と交差して設けられ、共通入力端子に対応するパッドと両FETの間のスペースに平行に配置される。

【0044】図4に、図3のA-A線の断面図を示す。これは、抵抗R1およびR2と共通入力端子に接続する電極との交差部である。基板11に抵抗R1、R2となるn+型不純物拡散領域40(図3では一点鎖線で示す)が設けられ、窒化膜を介して、両FETのソースまたはドレイン電極から共通入力端子INへ延在されるドレイン電極15(あるいはソース電極)と交差している。抵抗R1、R2は基板に設けられたn+型不純物拡散領域であり、FETのソースおよびドレイン領域形成と同時に形成される。

【0045】また、共通入力端子パッド、制御端子Ct1-1パッド、Ct1-2パッド、出力端子OUT1パッド、OUT2パッドおよび両FETのゲート電極の周端部の下にも、一点破線で示す如くn+型不純物拡散領域が設けられている(ゲート電極周端部においてはゲ

11

ト電極と重なっており図示されない)。ここでn+型不純物拡散領域は周端部だけでなく、各パッドおよび両FETのゲート電極直下全面に設けられてもよい。これらn+型不純物拡散領域は、ソースおよびドレイン領域形成と同時に形成されたものであり、これらn+型不純物拡散領域および抵抗R1、R2が互いに隣接する部分の離間距離は4 μ mとなっている。

【0046】これは、化合物半導体スイッチ回路装置に要求されるアイソレーションが20dB以上であり、実験的に4 μ mの離間距離があれば20dB以上のアイソレーションを確保するには十分であることによるものである。

【0047】この理論的な裏付けは乏しいが、今まで半導体性GaAs基板は絶縁基板という考え方で、耐圧は無限度であると考えられていた。しかし実測をすると、耐圧が有限であることが分かった。このために半導体性GaAs基板の中空空乏層が伸びて、高周波信号に応じた空乏層距離の変化により、空乏層が隣接する他のパターンまで到達するとそこで高周波信号の漏れを発生することが考えられる。しかし、隣接するパターンの隣接する側の周端部にn+型の不純物拡散領域を設け、その離間距離を4 μ mにすれば、20dB以上のアイソレーションを確保するには十分であると割り出された。また、電磁界シミュレーションにおいても4 μ m程度の離間距離を設ければ、2.4GHzにおいて40dB程度もアイソレーションを得られることがわかっている。

【0048】抵抗R1およびR2または各パッドおよびFETのゲート電極周端部はn+型不純物拡散領域であるため、不純物をドーピングされていない基板11（半導体性であるが、基板抵抗値は $1 \times 10^4 \Omega \cdot \text{cm}$ ）表面と異なり、不純物濃度が高くなる（イオン種 29Siで濃度は $1 \sim 5 \times 10^{19} \text{ cm}^{-3}$ ）。これにより各パッド、FETの配線層であるゲート電極、抵抗の空乏層が伸びないので、お互いに隣接する離間距離を4 μ mとすることによりアイソレーション20dBは十分確保できる。

【0049】この結果、本発明の化合物半導体チップのサイズは0.37 \times 0.30mm²に納めることができ、これは図8に示す従来の通常パターンの化合物半導体チップサイズと同一サイズである。

【0050】FET1およびFET2の拡大図および断面構造は、図9に示す従来のものと同じであるので、説明を省略する。尚、本発明のFETにおいては、FET特性が同じFETでもよいし、チャネル領域の濃度および加速電圧などのチャネル形成条件や、ゲート幅が異なるFETでもよい。

【0051】また、各n+型不純物拡散領域は、ソースおよびドレイン領域と同時に形成されるものでなくてもよく、それぞれが別々の工程により形成されるものでもよい。

【0052】このように、本発明の第1の実施の形態に

12

よる特徴は、通常パターンのロジックからミラータイプのロジックのスイッチ回路装置にパターン変更する場合、共通入力端子と両FET間に2本の抵抗R1およびR2を配置することである。これにより、チップ外周に沿って抵抗を配置した場合と比較して、X方向のチップサイズの拡大がなくなり、Y方向のチップサイズの拡大のみに抑えることができる。

【0053】また、本発明の第2の実施の形態による特徴は、FETのパターンを変更して、制御端子および出力端子パッドの間にFETの一部を配置し、共通入力端子と両FET間に平行に2本の抵抗R1およびR2を配置することである。FETのパターンを変えることによりゲート幅WgはそのままでY方向のFETサイズが縮小でき、共通入力端子と各FETの間にはスペースを確保できる。このスペースに平行した2本の抵抗R1、R2を配置し、更には隣接する各構成部品の周端部にはn+型不純物拡散領域を設け、離間距離を4 μ mにすることにより、図8に示す、通常ロジックパターンのチップサイズで、ミラータイプのスイッチ回路装置が収められることになる。図2では、共通入力端子と両FETの間に2本の抵抗を配置したためにY方向への拡大は避けられないが、図3の如くFETのパターンを変更することにより、共通入力端子とFETの間にスペースを確保し、図8に示す通常パターンのスイッチ回路装置と同一チップサイズに収めることが可能となった。

【0054】

【発明の効果】以上に詳述した如く、本発明に依れば以下の数々の効果が得られる。

【0055】第1に、抵抗を共通入力端子とFETの間に平行に配置することにより、チップ外周に沿って配置した場合と比較して、チップサイズの増加が著しく大きくなり、チップ外周に沿って配置すると、X方向にもチップサイズが拡大してしまいが、チップ内部に配置することにより、Y方向の拡大だけに抑えられる。

【0056】第2に、FETのパターンを変更して、制御端子と出力端子パッドの間にそのFETの一部を配置する。つまり、Y方向に縮小し、X方向に広がったFETのパターンとすることにより、FETのゲート幅はそのままで、共通入力端子とFETの間にスペースを確保できる。このスペースに互いに隣接する構成部品（抵抗同士も含む）と4 μ mの離間距離を確保して平行な2本の抵抗を配置することにより、通常パターンと同一チップサイズでミラースイッチパターンのスイッチ回路装置が実現できる。

【0057】第3に、上述したように最小構成部品とチップ内の配置の工夫により、半導体チップサイズを広げることなく、実現できるので、シリコン半導体チップとの価格競争力も大幅に向上できる。またチップサイズが小さくできるので、従来の小型パッケージ（MCP6 大きさ2.1mm \times 2.0mm \times 0.9mm）よりさら

に小型パッケージ（SMCP6 大きさ1.6mm×1.6mm×0.75mm）に実装できるようになった。

【0058】第4に、本発明の化合物半導体スイッチ回路装置ではシャントFETを省く設計が可能となったために、構成部品はFET1、FET2、抵抗R1、R2、共通入力端子IN、出力端子OUT1、OUT2、制御端子Ct1-1、Ct1-2に対応するパッドのみであり、従来の化合物半導体スイッチ回路装置に比べると、最小構成部品で構成できる利点を有する。

〔図面の簡単な説明〕

〔図1〕本発明を説明するための回路図である。

* 〔図2〕本発明を説明するための平面図である。

〔図3〕本発明を説明するための平面図である。

〔図4〕本発明を説明するための断面図である。

〔図5〕従来例を説明するための（A）断面図、（B）回路図である。

〔図6〕従来例を説明するための等価回路図である。

〔図7〕従来例を説明するための回路図である。

〔図8〕従来例を説明するための平面図である。

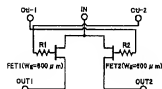
〔図9〕従来例を説明するための（A）平面図、（B）

10 断面図である。

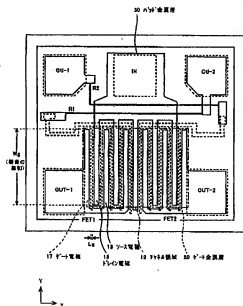
〔図10〕従来例を説明するための平面図である。

*

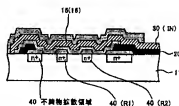
〔図1〕



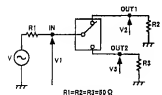
〔図2〕



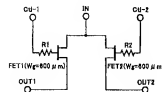
〔図4〕



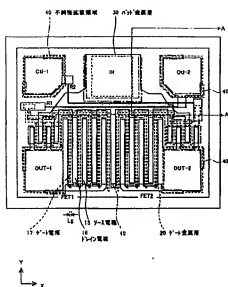
〔図6〕



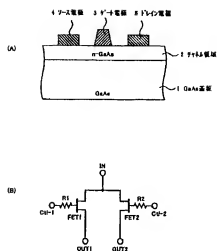
〔図7〕



〔図3〕

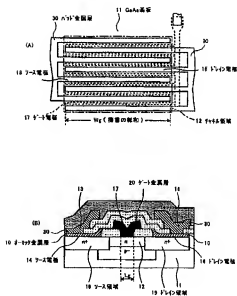
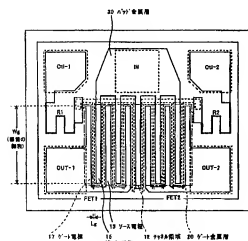


〔図5〕



〔図9〕

〔図8〕



(51)Int.Cl.⁷
H 0 3 K 17/00

FI

レポート (参考)

(72)発明者 樽原 幹人
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

Fターム(参考)

5F038	CA05	CA06	CA10	DF02	EZ02
					EZ20
5F102	GA01	GA17	GB01	GC01	GD01
		GJ05	GS09	GV03	
5J055	AX06	AX41	AX47	BX04	CX03
		CX24	DX25	EY01	EY21
		FX12	FX32	GX01	GX07